

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-208682

(P2002-208682A)

(43) 公開日 平成14年7月26日 (2002.7.26)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
H 0 1 L 27/105		G 1 1 C 11/14	A 5 F 0 8 3
G 1 1 C 11/14		11/15	
11/15		H 0 1 L 43/08	Z
H 0 1 L 43/08		27/10	4 4 7

審査請求 未請求 請求項の数12 O L (全 24 頁)

(21) 出願番号 特願2001-4395(P2001-4395)

(22) 出願日 平成13年1月12日 (2001.1.12)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 松岡 秀行

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 阪田 健

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

(54) 【発明の名称】 磁気半導体記憶装置及びその製造方法

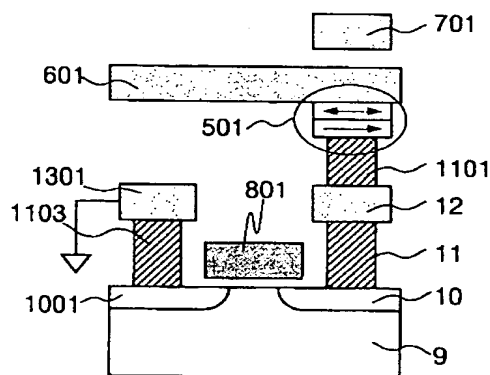
(57) 【要約】

【課題】従来のトンネル磁気抵抗を利用した、所謂MRAMのメモリセルは、書き込みワード線をデータ線の下方に形成していたために、以下のような問題点があった。書き込みワード線の間をぬって自己整合コンタクト開口を行う必要が生じるなど、プロセスが困難になるということ、またはレイアウトの制約から、書き込みワード線が平面的に磁気抵抗素子と十分にオーバーラップすることが困難なため、データ書き込みが不安定になるということである。

【解決手段】上記課題を解決すべく、本発明では書き込みワード線をビット線の上方に形成するMRAMメモリセル構造及びその製造方法を提案する。

【効果】本発明によれば、メモリセルプラグ形成時のプロセスが従来に比べ容易になり、書き込みワード線を上部に形成することにより書き込みワード線からの磁場が磁気抵抗素子に効果的に作用するようなレイアウトとし、安定した書き込みを行う。

図 1 0



【特許請求の範囲】

【請求項 1】互いに平行して配置された第一及び第二のワード線と、絶縁層を介して前記第一及び第二のワード線に交差するデータ線と、前記第一及び第二のワード線と前記データ線の交点に設けられた複数のメモリセルを有する半導体記憶装置において、前記データ線が、前記第一及び第二のワード線の間に延在して存在し、前記メモリセルは、磁性導電体と絶縁体の積層膜を有していることを特徴とする、半導体記憶装置。

【請求項 2】前記磁性導電体は前記データ線の下部に存在することを特徴とする、請求項 1 に記載の半導体記憶装置。

【請求項 3】前記磁性導電体層は前記データ線方向に長辺を有する矩形形状であることを特徴とする、請求項 1 あるいは請求項 2 に記載の半導体記憶装置。

【請求項 4】前記第一及び第二のワード線のすくなくとも一方は、選択トランジスタのゲート電極であることを特徴とする、請求項 1 から請求項 3 のいずれかに記載の半導体記憶装置。

【請求項 5】前記選択トランジスタは、半導体基板上に形成された多結晶シリコンからなることを特徴とする請求項 4 に記載の半導体記憶装置。

【請求項 6】前記選択トランジスタは、チャネル部が装置の深さ方向に形成される縦型トランジスタであることを特徴とする、請求項 4 に記載の半導体記憶装置。

【請求項 7】前記選択トランジスタのゲート電極である前記ワード線の配線ピッチよりも、前記データ線の上部に絶縁膜を介して形成された前記ワード線の配線ピッチの方が大きいことを特徴とする請求項 4 から請求項 6 のいずれかに記載の半導体記憶装置。

【請求項 8】前記メモリセルは、前記第一及び第二のワード線の一方と前記データ線の間に、前記磁性導電体と整流素子が直列に接続されてなることを特徴とする、請求項 1 から請求項 3 のいずれかに記載の半導体記憶装置。

【請求項 9】前記整流素子は、半導体基板上に形成された多結晶シリコンからなることを特徴とする請求項 8 に記載の半導体記憶装置。

【請求項 10】互いに平行して配置された第一及び第二のワード線と、絶縁層を介して前記第一及び第二のワード線に交差するデータ線と、前記第一及び第二のワード線と前記データ線の交点に設けられた複数のメモリセルを有する半導体記憶装置において、前記データ線が、前記第一及び第二のワード線の間に存在することを特徴とする、半導体記憶装置。

【請求項 11】複数のワード線と、絶縁層を介して前記ワード線に交差する複数のデータ線と、前記ワード線と前記データ線の交点に設けられた複数のメモリセルを有する半導体記憶装置において、前記メモリセルは、チャネル部が装置の深さ方向に形成された縦型トランジスタ

と、その方向に配置された磁性導電体からなることを特徴とする、半導体記憶装置。

【請求項 12】複数のワード線と、絶縁層を介して前記ワード線に交差する複数のデータ線と、前記ワード線と前記データ線の交点に設けられた複数のメモリセルを有する半導体記憶装置において、前記メモリセルは、チャネル部が装置の深さ方向に形成された縦型トランジスタと、その方向に配置された磁性導電体からなり、前記ワード線は、絶縁膜を介して前記データ線の上部に形成されていることを特徴とする、半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関する。特に、磁気抵抗効果を利用することにより、高速かつ不揮発性を有する、ランダムアクセスメモリ(RAM)に関する。

【0002】

【従来の技術】これまで、3年に4倍のペースで集積化の向上を実現してきたダイナミックランダムアクセスメモリ(DRAM: Dynamic Random Access Memory)は、近年のパーソナルコンピュータの爆発的な売上に牽引されて、その需要はますます高まりつつある。既に、64メガビットの量産はピークを過ぎ、現在は、次世代の微細加工技術である $0.16\mu\text{m}$ さらにそれ以下の寸法を使用する256メガビットの量産化に向けた開発が進行している。16Kbから現在まで製品化されているDRAMのメモリセルは、図1に示すように、スイッチとしてのトランジスタと情報電荷を蓄積するキャパシタから構成され、1トランジスタセルと呼ばれている。このメモリセルにおいては、データ線に読み出される信号電圧は、キャパシタ容量 C_s とデータ線の寄生容量 C_d の比で決まる。またセルの情報電圧は、情報を読み出すことによりデータ線の電圧に充電されるので破壊読みだしであり、データの再書き込みというリフレッシュ動作が必要である。このメモリセルにおける最大の課題は、セル信号電圧とソフトエラー耐性という2つの観点から、必要十分なキャパシタ容量 C_s を確保することである。この課題を解決すべく、メモリセルは図2に示すように、立体構造となり、必要十分な蓄積容量を確保するために、微細化と共にキャパシタの高さは増大の一途をたどってきた。しかし、キャパシタ高さの増大は、メモリセルアレー部と周辺回路回路の間に高段差を生み、リソグラフィをはじめとするプロセスマージンを著しく低下させ、それが製造コスト増大に直接結びつく結果となっている。256Mビット以降のDRAMでは、この問題は益々深刻になることが必須である。こうした背景から、従来の1トランジスタセルに代わる、キャパシタの不要なメモリセルへの期待は高い。MRAM(Magnetic Random Access Memory)は、後に説明する、強磁性スピントネル接合(MTJ: Magnetic Tunnel Junction)のトンネル磁気抵抗効果(TMR: Tunnel MagnetoResistance)を

利用した、高速不揮発メモリである。IBM及びMotorolaはISSCC2000(International Solid State Circuit Conference)において、それぞれ、1Kb及び512bのMRAMのアレ
 イを試作し、そのメモリ動作の確認を報告している。以下に簡単にMRAMの動作原理を説明する。まず、メモリ機能の基となる、MTJのTMRについて述べる。MTJは例えば、図3に示すように、2つの強磁性層(1, 3)の間に薄いトンネル絶縁膜(2)を挟んだものである。この構造のトンネルコンダクタンスは2つの強磁性体のフェルミレベルにおける、状態密度の積に比例する。図4には、2つの強磁性体のスピンの向きが、平行の場合(a)と反平行の場合(b)の状態密度を比較して示す。トンネルの前後でスピンの向きは保存されるので、図4から明らかなように、平行の場合、トンネル抵抗は小さく、一方、反平行の場合は大きい。この結果、強磁性スピントンネル接合の片方のスピンの向きを固定し、もう片方のスピンの向きを外部磁場により変化させると、図5に示すようなヒステリシス特性を示し、メモリとなることがわかる。スピンの反転速度はnsecのオーダーであり、また磁場を印加しなくても、スピンの向きは固定されるので、高速不揮発メモリとしての動作が期待される。図6, 7にはそれぞれ、IBM等が発表しているMRAMの等価回路と単純化した断面構造を示す。メモリセルは選択トランジスタとTMR素子から構成される。キャパシタの代わりにTMR素子となっている点を除けば、既存のDRAMと類似している。DRAMとの一番の違いは、余分に書き込みワード線(7, 701)がある点である。この理由を明らかにするために、図6, 7に示したMRAMにおける書き込み及び読出し動作を説明する。書き込み時には、ビット線(6, 601)と書き込みワード線(7, 701)に電流を流し、発生する合成磁場により、選択されたセルにおいてスピンの向きを書き込む。非選択セルにおいては、印加磁場が小さい為に、スピンの向きが変化することは無い。読出しの際には、読出しワード線(8, 801)をオンにし、共通グラウンド(13, 1301)線とビット線(6, 601)の間を流れる電流により、'0', '1'を判別する。

【0003】

【発明が解決しようとする課題】上で述べた、IBM等の発表したMRAMにおいては、書き込みワード線(7, 701)がビット線(6, 601)の下方に形成されており、これには次に述べるような2つの問題点がある。1つはプロセスが困難になるということであり、もう1つはデータ書き込みが不安定になるということである。以下にこれを説明する。図8には、図7の構造のMRAMを実際に実現した時の断面図を示す。ここでは、ワード線ピッチを最小に、即ちセル面積を最小にした場合を示している。本構造においては、書き込みワード線(702)と短絡することなく、その間を通過してコンタクトを開口し、プラグ(1105と1104)を接続する必要がある

り、これはプロセス的に困難である。また、図9に示すように、上から見た時の、平面上の書き込みワード線(702)とTMR素子(502)の重なりが、部分的になっている為に、書き込み磁場がTMR素子(502)全体に均一に印加されず、データ書き込みが不安定になる。これら2つの問題点は、いずれも、書き込みワード線(702)がビット線(602)の下方に形成されていることに起因している。

【0004】

10 【課題を解決するための手段】上記課題を解決する為に、本発明の一実施形態によれば、書き込みワード線をビット線の上方に形成したMRAM構造を有する。本構造はセル面積を増大させることなく、上記2つの課題を解決する。本発明においては、書き込みワード線をビット線の上方に形成したMRAMの構造を有するとともに、TMR素子につながるプラグを、自己整合開口プロセス適用せずに、形成できる。これは、前述の場合よりも、プロセス的に容易である。また、書き込みワード線のレイアウトの制限が減少するので、上から見た時に、書き込みワード線がTMR素子を覆うことが可能である。これは、データ書き込みの安定性という観点からすれば有利である。

【0005】

【発明の実施の形態】実施例1

本発明の簡単な構造は図10に示す通りであるが、本実施例においては、選択トランジスタとTMR素子からなるMRAMにおいて、書き込みワード線をデータ線の下方に形成した半導体記憶装置の製造方法に関するものを示す。トランジスタはSi基板表面上に形成される、通常のトランジスタを用いた。以下、製造工程をたどりながら詳細に説明する。まず始めに、p型半導体基板(901)を用意して、MOSFETを分離するための素子間分離領域(1501)を、公知の選択酸化法や浅溝分離法を用いて形成する。図13には、メモリアレイ部の素子間分離領域の平面レイアウトを示す。本実施例では、表面を平坦化できる、浅溝分離法を用いた。そこで、まず基板に深さ0.3ミクロン程度の分離溝を公知のドライエッチ法を用いて形成し、溝側壁や底面のドライエッチ起因損傷を取り除いた後に、公知のCVD(Chemical Vapor Deposition)法を用いてシリコンの酸化膜を0.7ミクロン程度の膜厚で堆積し、溝ではない部分にある酸化膜を、これも公知のCMP(Chemical Mechanical Polishing)法で選択的に研磨し、溝に埋まっている酸化膜だけを残した。次に高エネルギー不純物打ち込みにより、導電型の異なる2種類のウェルを形成した。次に半導体基板の表面を洗浄した後に、ゲート酸化膜(9)を公知の熱酸化法で成長させた。この酸化膜の表面に、ワード線(802)及びゲート電極として、リンを高濃度で含む多結晶シリコンを100nmの厚さで堆積した。勿論、リンの代わりにボロンを高濃度で含む多結晶シリコンを用いても構わない。本実施例においては、電極材料として、多結晶シリコンを用い

たが、ゲート抵抗を低減するために、間に反応抑止のバリアメタルをもうけた金属と多結晶シリコンの積層膜を用いることも、勿論可能である。またこの金属として、多結晶シリコンとは反応しない、シリサイド膜を用いても良い。さらに、シリコンチッカ膜(14)を100nm堆積する。次に、公知のドライエッチ法により、周辺回路領域においてはゲート電極を、メモリアレイにおいては図14のようにワード線(802)を形成した。さらに、このゲート電極及びレジストをマスクにして、不純物イオンを打ち込み、拡散層を形成した。次に、自己整合コンタクト開口プロセス適用の為に、厚さ50nmのシリコンチッカ膜(1401)を堆積する。さらに0.7ミクロン程度の酸化膜(17)を堆積し、公知のCMP法による平坦化を行い、シリコンチッカ膜に対して高選択比を有する条件でシリコン酸化膜をエッチングし(自己整合コンタクト開口プロセス)、メモリアレイにおいては、図15のようにコンタクトホールを開口した。さらに、公知のCVD法により不純物を高濃度にドーブした多結晶シリコンを堆積し、これも公知のCMP法を用いて、導電プラグ(1104)を形成した。さらには、共通のグラウンド線(1302)となる、タングステン(100nm)を堆積し、図16のようにワード線と平行に走るように加工した。このタングステンは周辺回路においては金属第一配線層となる。続いて、公知のCVD法により0.7ミクロン程度の酸化膜(1701)を堆積し、公知のCMP法による平坦化を行い、コンタクトを開口して、メモリアレイにおいては、図17のようになった。この場合は、図17から明かなように、自己整合開口プロセスを用いる必要はなく、プロセス的には容易である。次に、公知のプロセスにより多結晶シリコンプラグ(1105)を形成した。勿論、多結晶シリコンの代わりにタングステンを

実施例2

本実施例は、MRAMのメモリセルにおける、書き込みトランジスタを縦型にしたものである。本実施例の大きな特長としては、セル面積を、通常のDRAMの約半分である、4F²に出来るということが挙げられる。本実施例で実現

した構造は図20に示すようなものである。即ち、縦型選択トランジスタ(401)の拡散層(1003)とTMR素子(504)を接続し、更にTMR素子(504)とビット線(603)を接続する。その上方に、書き込みワード線(704)を形成したものである。以下、製造工程をたどりながら、詳細に説明する。まず、通常の製造プロセスにより、周辺回路のトランジスタを形成する。層間絶縁膜(1704)堆積後コンタクトプラグを作り、更にタングステンからなる第一金属配線層を形成する。メモリアレイにおいては、この配線層を共通グラウンド線(1303)として用いる。この時の状態を示したものが、図21である。次に、層間絶縁膜を堆積し、不純物を高濃度に含むポリシリコンプラグを形成し、図22のようになる。次に、縦型トランジスタ及びTMR部を形成する。ここでは、以下の順に膜を堆積する。まず、縦型トランジスタの拡散層となる不純物を高濃度にドーブしたN⁺層(1004)、チャンネル部となる低濃度不純物層(19)、更に拡散層となるN⁺層(1005)、を堆積する。これらがトランジスタ部となる。もちろん、この際、レーザーアニール等の手法を用いることにより、上記の多結晶シリコンを単結晶化することも可能である。この場合、トランジスタの性能が向上することは言うまでも無い。さらにはTMR素子(505)を構成する膜として、NiFe、Al₂O₃、CoFeの順に堆積する。さらに、CMPのストッパマスクとして、プラズマSiN(1402)を100nm堆積する。プラズマSiNを用いることにより、TMR素子への熱負荷を低減できるという利点がある。この積層膜を図23に示すように、単純ラインアンドスペース状に加工する。引き続き、層間絶縁膜(1706)を堆積し、CMPにより平坦化及び、TMRを形成するCoFeを露出させる。この時の状態を図24に示す。次にビット線(604)となる膜厚100nmのタングステン、及びプラズマ酸化膜(20)を堆積する。続いて、図25に示すように、先に形成した、コモン線と垂直方向に走る、ラインアンドスペース状に加工する。この工程により、ビット線(604)とTMR素子(505)が電気的に接続されることになる。尚、本実施例においては、ビット線の線間容量を低減する目的で、ビット線幅の細線化を行った。具体的には、ビット線レジストパタンの露光後に、アッシングプロセスを施した。次に、選択トランジスタのワード線の形成を行う。まず、ワード線とビット線(604)の短絡を防ぐ目的で、図26に示すように、ビット線(604)に側壁酸化膜(21)を形成する。さらに、酸化膜で覆われたビット線(604)をマスクに、自己整合的に、下地の積層膜をエッチングし、図27のようになった。続いて、10nmの膜厚のゲート酸化膜を形成し、更にはワード線となるタングステンを堆積/平坦化し、図28のようになる。本実施例においては、タングステンをういたが、間にバリアメタルを挟んだタングステンと多結晶シリコンの積層膜や、

ポリサイド等を用いても勿論構わない。次に、通常のドライエッチ法により、タングステンを、ビット線と垂直方向に走る、ラインアンドスペース状に加工した。この時の状態を図29に示す。ワード線(804)加工の際、電極材料を平坦化した効果として、ビット線高さのみのエッチング段差となる。図29においては、ビット線(604)の高さとキャップ酸化膜(20)の高さ、を合わせた段差となる。尚、本実施例においては、選択トランジスタのワード線(804)を、書きこみワード線としても用いることが可能である。その際、データ書き込み時には、選択トランジスタの閾値電圧以下の電位差をワード線の両端に与えることにより、余分な電流が流れないようにする

最後に、必要な金属配線層を形成し、所望の半導体装置を得た。本実施例においては、縦型トランジスタを用いることにより、最小セル面積の半導体記憶装置を実現した。また、選択トランジスタのゲート電極と書き込みワード線を共通化することにより、プロセスの簡易化、コストの低減を達成した。本実施例においては、書き込みワード線と読出しワード線を共通としたが、別々にすることは勿論可能である。その場合、図29の状態から、層間絶縁膜を堆積した後に所望の書き込みワード線を通常のプロセスを用いて形成すれば良い。

実施例3

本実施例も、実施例2と同様に縦型選択トランジスタを有するMRAMに関するものである。実施例2との大きな違いは、TMR素子に加わる熱負荷である。即ち、実施例2においては、TMR素子を形成した後にゲート酸化を行うのに対し、本実施例3においては、ゲート酸化膜を形成した後に、TMR素子を形成している。この結果として、本実施例においては、TMR素子に対する熱負荷を低減し、その特性劣化を防ぐことができた。TMR素子の耐熱性は400°C程度であるので、これは本実施例の大きな特長である。以下、製造工程を追いつながら、本実施例を詳細に説明する。本実施例においては、周辺回路の第1金属配線層を、メモリアレイにおいては選択トランジスタのワード線(805)、として用いる。この時のメモリアレイにおける状態を図30に示す。尚、図30においては、基板内に形成されたトランジスタ等は記していない。続いて、後に形成する共通グラウンド線とワード線(805)の短絡を防ぐ目的で、層間絶縁膜(1708)を50nm堆積する。次に、共通グラウンド線となるタングステン(23)を50nm堆積する。更に、縦型トランジスタを形成する、不純物を高濃度に含むN⁺層(24)/チャンネルとなる低濃度層(2401)/不純物を高濃度に含むN⁺層(2402)、の順に堆積する。もちろん、この際、レーザーアニール等の手法を用いることにより、上記の多結晶シリコンを単結晶化することも可能である。この場合、トランジスタの性能が向上することは言うまでも無い。その上に、後に選択トランジスタの拡

散層とTMR素子を接続するプラグとなるタングステン(2301)を50nm堆積する。この時の状態を図31に示す。続いて、先に形成した、ワード電極(805)の垂直方向に走る、ラインアンドスペース状に、上記積層膜を加工し、図32のようになった。次に、ゲート絶縁膜(1601)を10nm堆積する。本実施例ではCVD法を用いたが、勿論、熱酸化膜を用いても構わない。この時の状態を図33に示す。続いて、ゲート電極となる、不純物を高濃度に含む多結晶シリコンを堆積し、通常のエッチバックプロセスにより、側壁膜(2403)を形成し、さらに下地のゲート絶縁膜を除去し、図34のようになった。次に、不純物を高濃度に含む多結晶シリコン膜(2404)を埋め込み、CMPプロセスにより平坦化し、下地のタングステン(2301)を露出させる。この時の状態を図35に示す。この結果、先に形成しておいたワード線(805)と側壁多結晶シリコン膜(2403)が電気的に接続されることになる。続いて、図36のように多結晶シリコン(2404)をエッチバックする。この際、トランジスタのオフセットを防ぐために、拡散層となるN⁺層(1007)とチャンネル部(1006)の境界より、エッチバックした表面が下がらないことが肝要である。このエッチバックの目的は、ワード電極(2404)と、後に形成するTMR素子との短絡マージンを確保することである。次に、酸化膜(1709)を堆積、平坦化し、タングステン(2301)を露出して、図37のようになる。引き続き、シリコンナイトライド(1403)を100nm堆積し、通常のドライエッチ法により、ラインアンドスペース状に加工する。この時の状態を図38に示す。さらに、このシリコンナイトライド(1403)をマスクに、タングステン(2301)、酸化膜(1709)、多結晶シリコン(1007、1901、1006、2404)をドライエッチし、図39のようになる。次に、シリコン酸化膜(1710)を堆積し、CMPにより平坦化し、同時に、シリコンナイトライド(1403)を除去し、下地のタングステン(2301)を露出する。この時の状態を図40に示す。次に、TMR素子の形成を行う。NiFe(25)、Al₂O₃(26)、CoFe(27)の順に堆積し、図41のようになった。通常のドライエッチ法により、TMR積層膜を加工する。この時の状態を図42に示す。さらにシリコン酸化膜(1711)を堆積、平坦化し、TMR素子を構成するCoFe(27)を露出して、図43のようになる。この際、下方に形成されたワード線(805)のピッチを緩和しておけば、レイアウトの自由度が増し、TMRの形状異方磁気効果を利用する結果として、書きこみ電流の低減を図れる。次に、ビット線(605)の形成を行う。この為に、タングステン(605)を100nm堆積し、図44に示すラインアンドスペース状に加工する。引き続き、書き込みワード線を形成する。層間絶縁膜(1712)を堆積、平坦化した後に書き込みワード線

(705)を加工した。この時の状態を図45に示す。最後に、通常のプロセスにより金属配線層を2層形成し、所望の半導体装置を得た。

実施例4

これまでの実施例においては、1トランジスタ-1TMR型のMRAMに関するものであった。書き込みワード線をビット線の上方に形成するという概念は、トランジスタの代わりに、ダイオードを用いた1ダイオード-1TMR型のMRAMにも、勿論適用可能である。図46には、この場合のメモリセルの構成図を示す。データ書き込み時には、ビット線に正のバイアスを印加する。この結果として、PN接合は逆バイアス状態となり、電流は流れない。一方、読出し時には、ビット線に負の電位を与えて、接合を順バイアス状態とする。実施例1に述べたものと、ほぼ同様な製造プロセスを用いて、図47にメモリセル部の断面図を示すような所望の半導体記憶装置を得た。勿論、ダイオードとして、多結晶シリコンからなるPN接合を用いることも可能であることはいうまでもない。その場合、メモリセルの構造は図48に示すものとなる。

実施例5

本実施例はロジック混載向け縦型バストランジスタを有するMRAMに関するものである。周辺トランジスタを最高性能とするために、次のような順序で構成した。まず、メモリセルトランジスタを形成する。この時の状態を図49に示す。続いて周辺回路領域の相関絶縁膜(1712, 1713)を除去し、トランジスタを形成して図50のようになった。さらに、TMR(506)を形成し、相関絶縁膜(1714)で平坦化する。この時の状態を図51に示す。TMRの耐熱性は400°C程度であるので、上記の順序で形成することにより、TMR素子特性及び周辺回路性能が劣化することはない。次に、周辺回路領域において導電プラグ(1106)を形成した後、金属配線層を形成して、図52のようになる。この配線層は、メモリアレイ領域においてはビット線(606)、周辺回路領域においては第一金属配線層(55)となる。次に、相関絶縁膜(1715)を堆積、平坦化し、書き込みワード線(706)を形成した。この時の状態を図53に示す。最後に多層金属配線層を形成し、所望の半導体記憶装置を得た。

【0006】

【発明の効果】本発明によれば、トンネル磁気抵抗を利用したMRAMにおいて、書き込みワード線をビット線の上方に形成することにより、以下の2つの効果がある。1つはプロセスを簡易化する。2つ目は、メモリ動作、特に書き込み動作の信頼性を向上する。また、本発明を、縦型トランジスタを有するMRAMに適用することにより、セル面積を従来のDRAMに比べ低減することができる。

【図面の簡単な説明】

【図1】従来の1トランジスタメモリセルの等価回路。

【図2】従来の1トランジスタメモリセルを有する半導

体記憶装置の断面図。

【図3】強磁性スピントンネル接合(MTJ)の構造。

【図4】(a)MTJにおいてスピンの向きが平行の場合の状態密度。(b)MTJにおいてスピンの向きが反平行の場合の状態密度。

【図5】トンネル抵抗の磁場依存性。

【図6】MRAMメモリセルの等価回路。

【図7】従来のMRAMメモリセル構造。

【図8】従来のMRAMメモリセル断面図。

10 【図9】従来のMRAMにおけるTMR素子と書き込みワード線の配置を示す上面図。

【図10】本発明の一実施例におけるMRAMメモリセル構造の簡略図。

【図11】本発明の半導体記憶装置の1製造工程におけるビット線に平行方向の断面図。

【図12】本発明のMRAMにおけるTMR素子と書き込みワード線の配置を示す上面図。

【図13】本発明の半導体記憶装置の1製造工程における上面図。

20 【図14】本発明の半導体記憶装置の1製造工程における上面図及びワード線に垂直方向の断面図。

【図15】本発明の半導体記憶装置の1製造工程におけるワード線に垂直方向の断面図。

【図16】本発明の半導体記憶装置の1製造工程における上面図及びワード線に垂直方向の断面図。

【図17】本発明の半導体記憶装置の1製造工程におけるワード線に垂直方向の断面図。

【図18】本発明の半導体記憶装置の1製造工程における上面図及びワード線に垂直方向の断面図。

30 【図19】本発明の半導体記憶装置の1製造工程における上面図及びワード線に垂直方向の断面図。

【図20】本発明の半導体記憶装置の1構造を示す図。

【図21】本発明の半導体記憶装置の1製造工程における鳥瞰図。

【図22】本発明の半導体記憶装置の1製造工程における鳥瞰図。

【図23】本発明の半導体記憶装置の1製造工程における鳥瞰図。

40 【図24】本発明の半導体記憶装置の1製造工程における鳥瞰図。

【図25】本発明の半導体記憶装置の1製造工程における鳥瞰図。

【図26】本発明の半導体記憶装置の1製造工程における鳥瞰図。

【図27】本発明の半導体記憶装置の1製造工程における鳥瞰図。

【図28】本発明の半導体記憶装置の1製造工程における鳥瞰図。

50 【図29】本発明の半導体記憶装置の1製造工程における鳥瞰図。

【図 30】本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 31】本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 32】本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 33】本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 34】本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 35】本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 36】本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 37】本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 38】本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 39】本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 40】本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 41】本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 42】本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 43】本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 44】本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 45】本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 46】本発明の MRAM メモリセル構造。

【図 47】本発明の半導体記憶装置の 1 製造工程におけるビット線に平行方向の断面図。

【図 48】本発明の半導体記憶装置の 1 構造を示す図。

【図 49】本発明の半導体記憶装置の 1 製造工程におけるワード線に垂直方向の断面図。

【図 50】本発明の半導体記憶装置の 1 製造工程におけ *

* るワード線に垂直方向の断面図。

【図 51】本発明の半導体記憶装置の 1 製造工程におけるワード線に垂直方向の断面図。

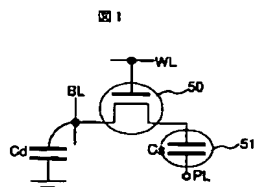
【図 52】本発明の半導体記憶装置の 1 製造工程におけるワード線に垂直方向の断面図。

【図 53】本発明の半導体記憶装置の 1 製造工程におけるワード線に垂直方向の断面図。

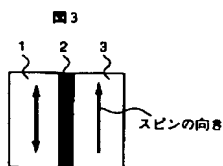
【符号の説明】

- 1-強磁性体、2-トンネル絶縁膜、3-強磁性体、
4、401-選択トランジスタ、5、501、502、
503、504、505、506-TMR 素子、6、60
1、602、603、604、605、606-ビット
線、7、701、702、703、704、705、
706-書きこみワード線、8、801、802、80
3、804、805、806、807、808-読出し
ワード線、9、901、902-Si 基板、10、10
01、1002、1003、1004、1005、10
06、1007、1008、1009、1010-不純
物拡散層、11、1101、1102、1103、11
04、1105、1106-導電プラグ、12、120
1、1202、1203-導電層、13、1301、1
302、1303、1304-共通グラウンド線、1
4、1401、1402、1403-シリコンチッカ
膜、15、1501、1502-素子分離領域、16、
1601-ゲート絶縁膜、17、1701、1702、
1703、1704、1705、1706、1707、
1708、1709、1710、1711、1712、
1713、1714、1715-層間絶縁膜、18-導
電プラグ、19、1901、1902-チャネルシリコ
ン、20-シリコン酸化膜、21-側壁酸化膜、22-ゲ
ート電極材料、23、2301-導電膜、24、240
1、2402、2403、2404-多結晶シリコン、
25-NiFe、26-アルミナ (Al₂O₃)、27-CoFe、2
8、2801、2802、2803-N 型不純物層、2
9、2901、2902、2903-P 型不純物層、50
-選択トランジスタ、51-キャパシタ、52-メモリセ
ルアレイ、53-周辺回路、54-周辺回路ゲート電極、
55-周辺回路配線層。

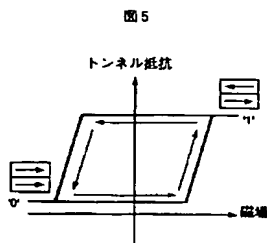
【図 1】



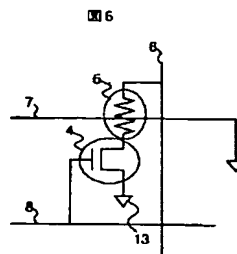
【図 3】



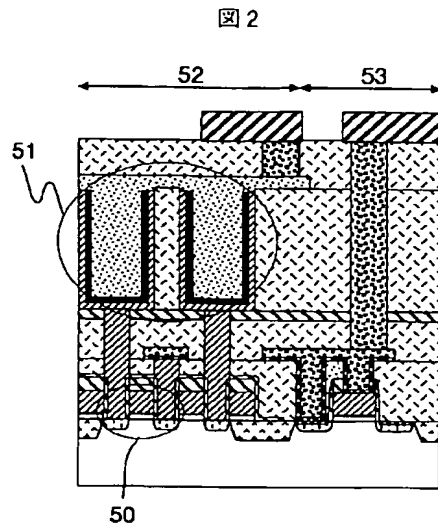
【図 5】



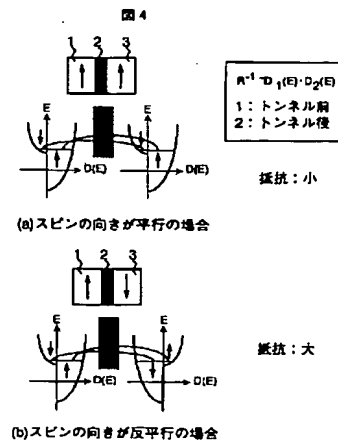
【図 6】



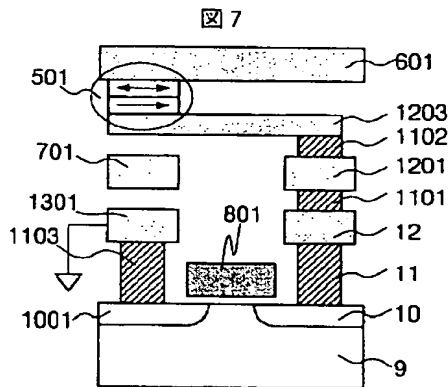
【図2】



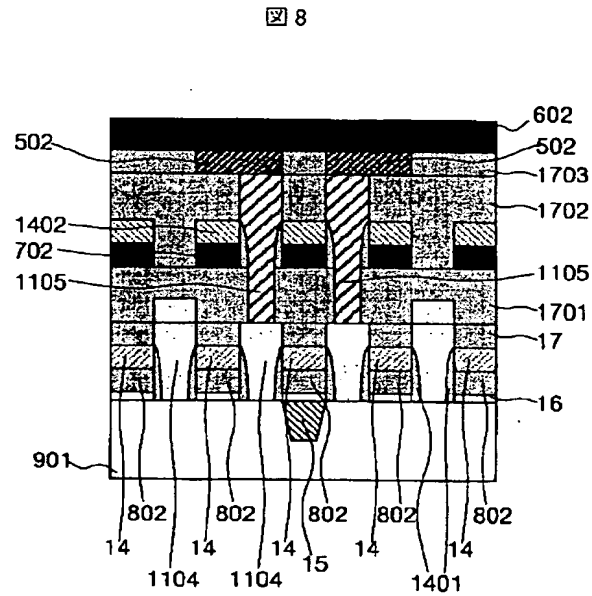
【図4】



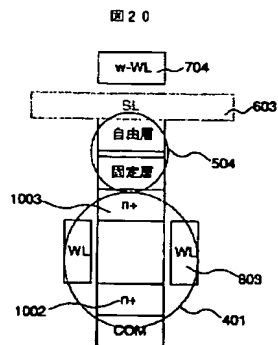
【図7】



【図8】

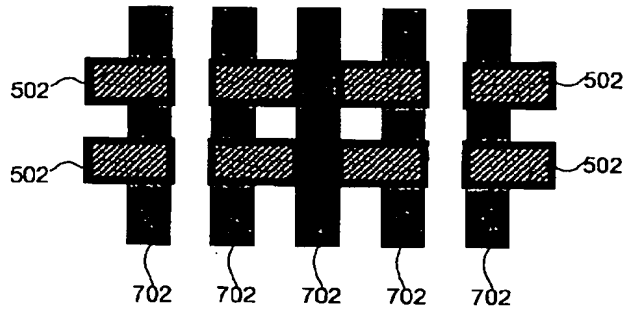


【図20】



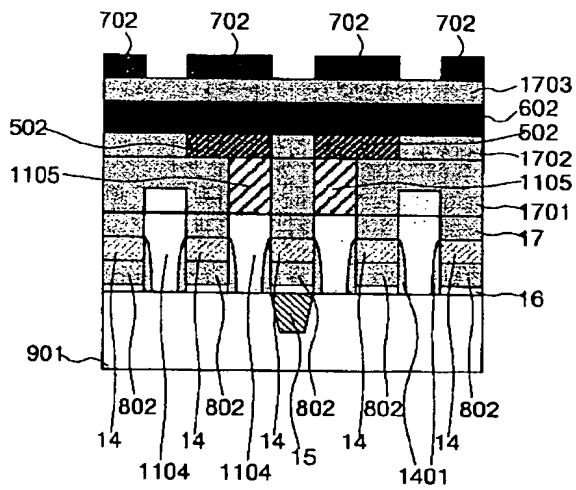
【図 9】

図 9



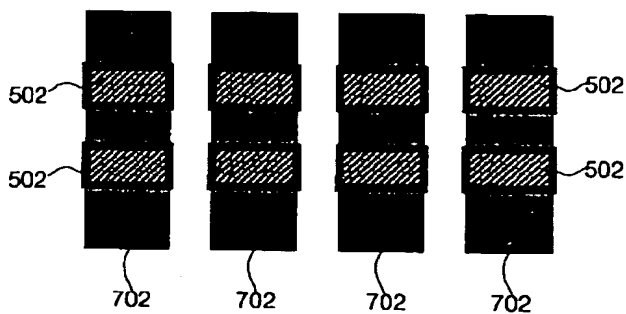
【図 11】

図 11



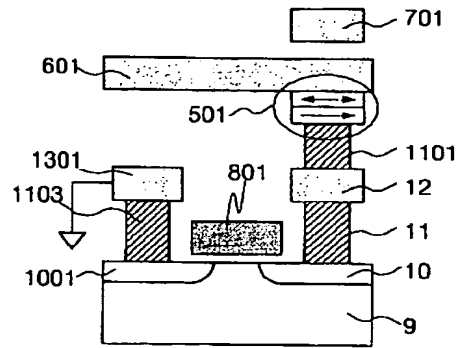
【図 12】

図 12



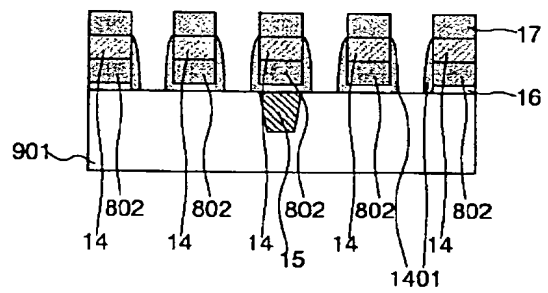
【図 10】

図 10



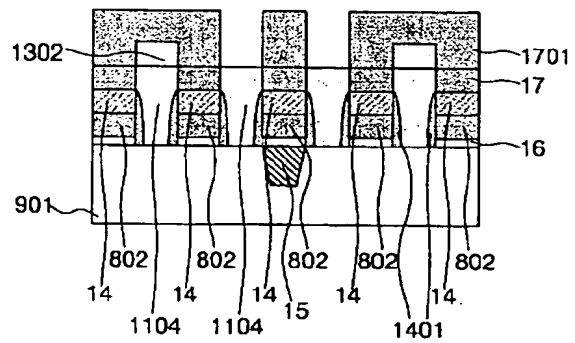
【図 15】

図 15



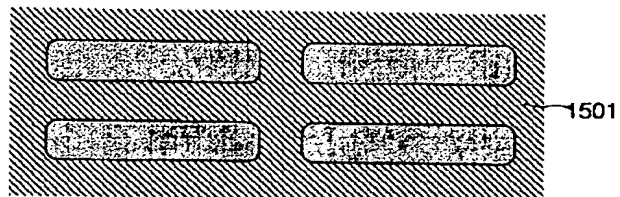
【図 17】

図 17



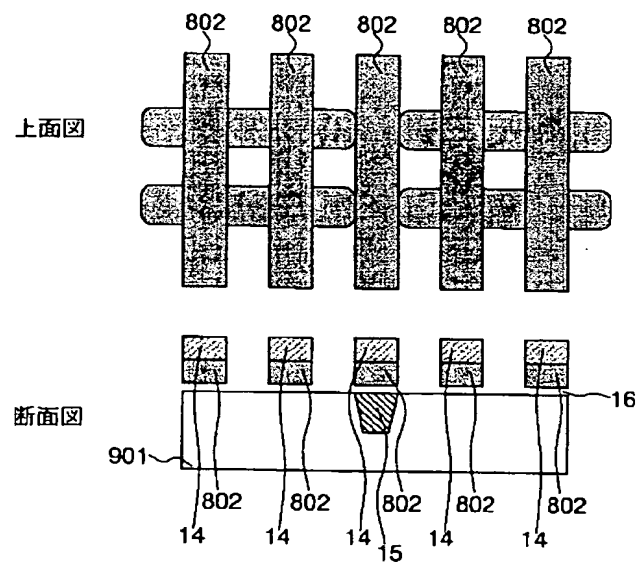
【図 13】

図 13



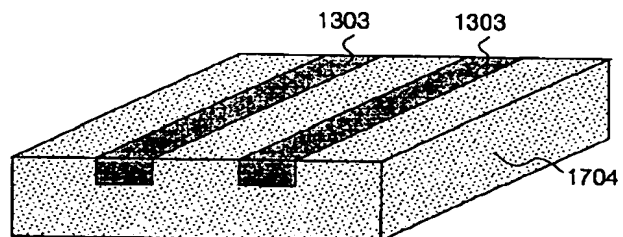
【図 14】

図 14



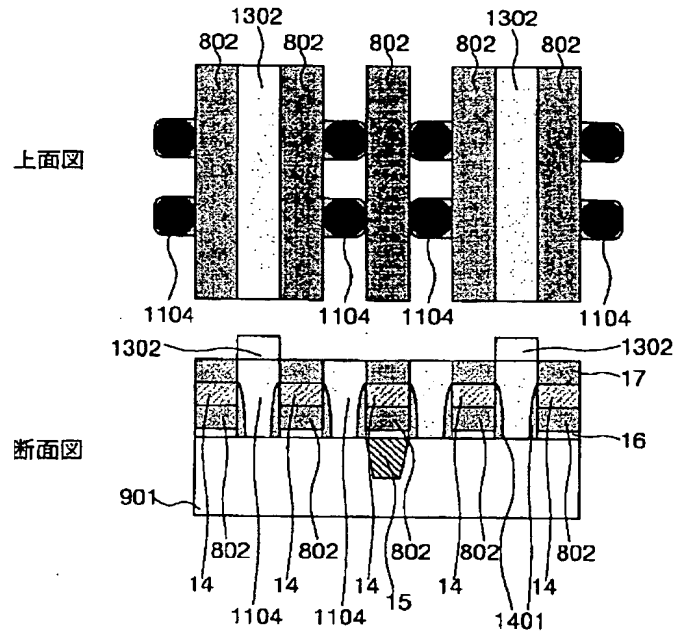
【図 21】

図 21



【図16】

図16



【図22】

図22

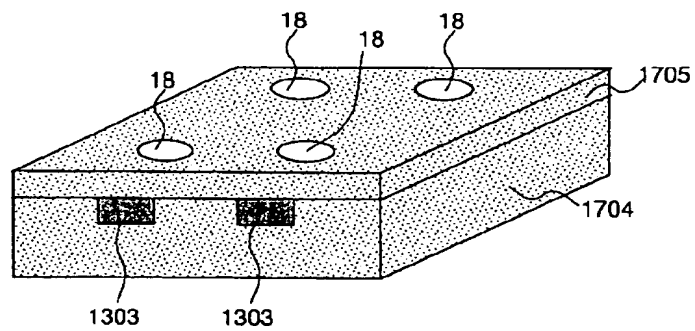
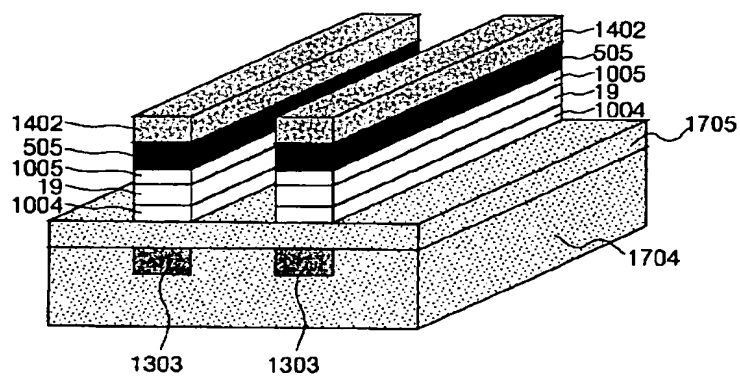


图 18

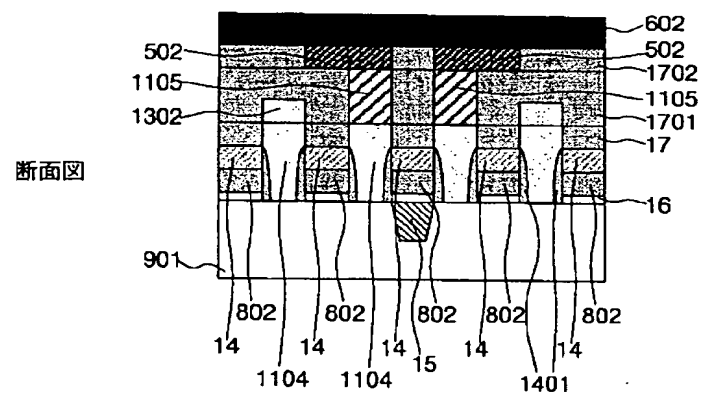
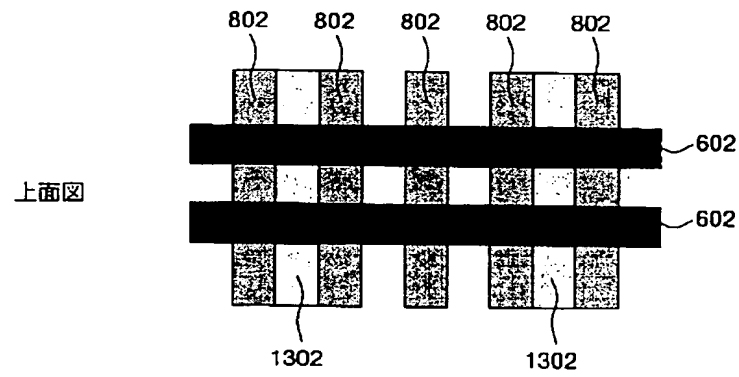


图 2 3



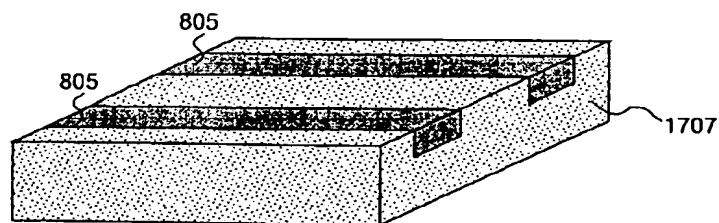
【図 19】

図 19



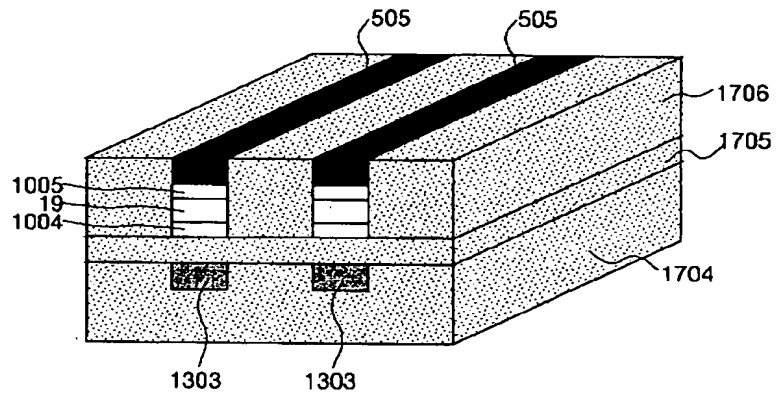
【図 30】

図 30



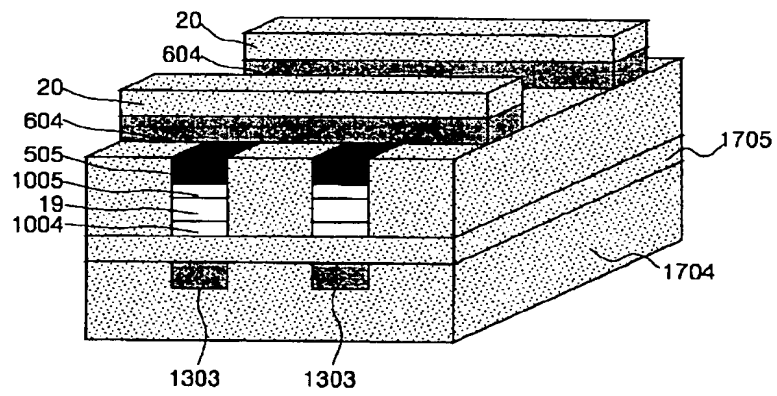
【図24】

図24



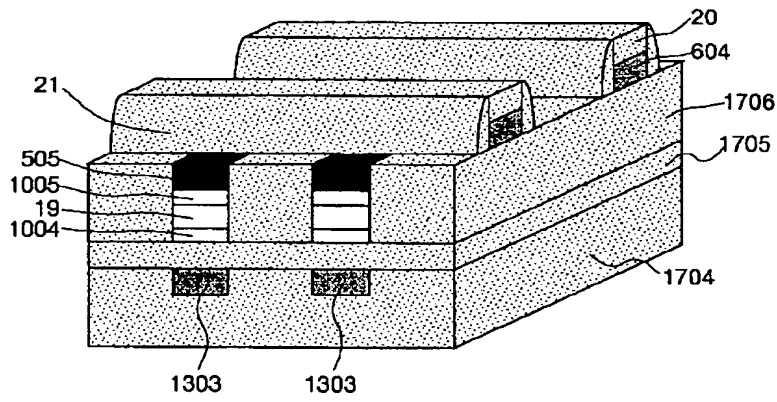
【図25】

図25



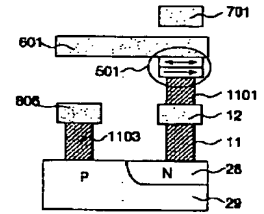
【図26】

図26



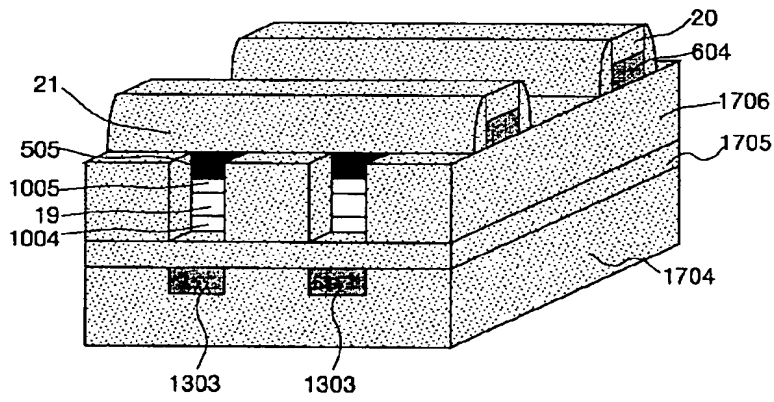
【図46】

図46



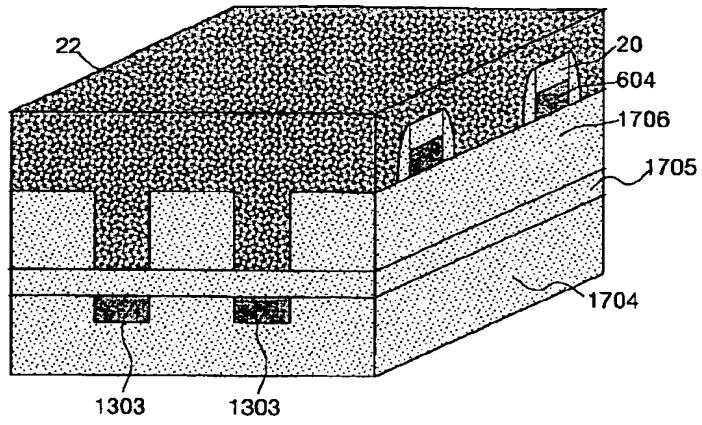
【図27】

図27

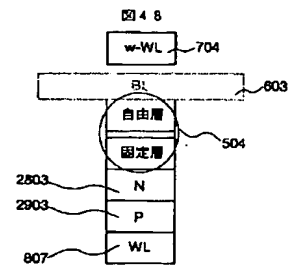


【図 28】

図 28

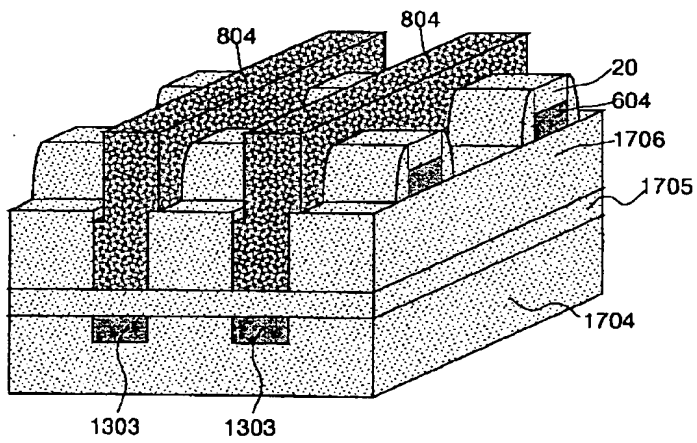


【図 48】



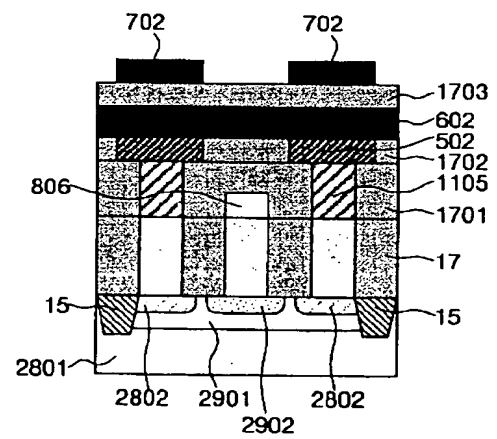
【図 29】

図 29



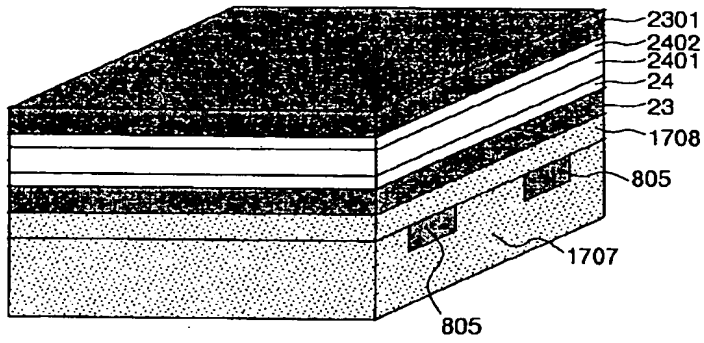
【図 47】

図 47



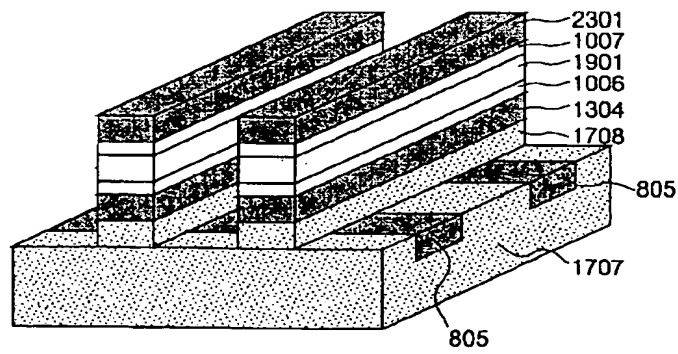
【図 3 1】

図 3 1



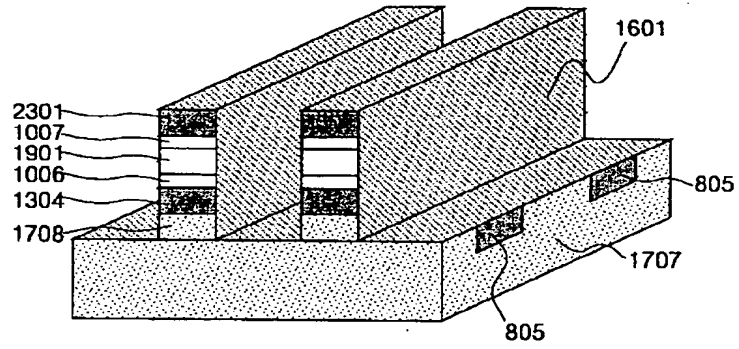
【図 3 2】

図 3 2



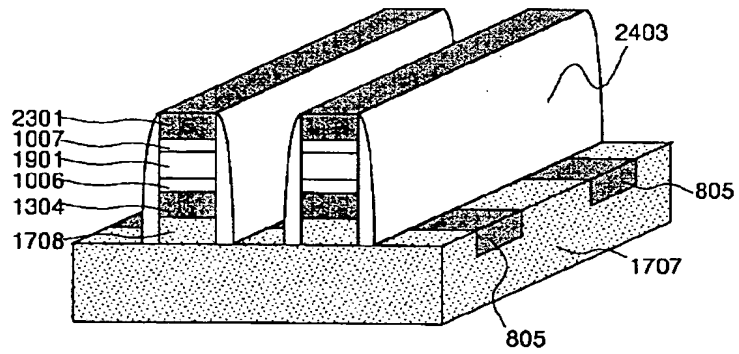
【図 33】

図 33



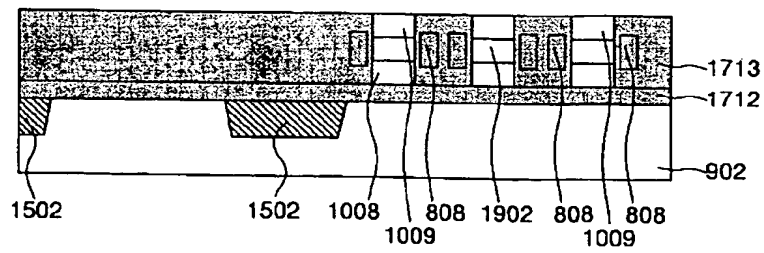
【図 34】

図 34



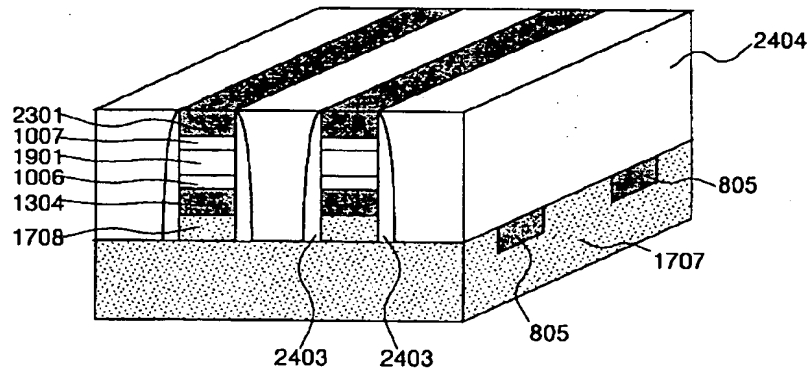
【図 49】

図 49



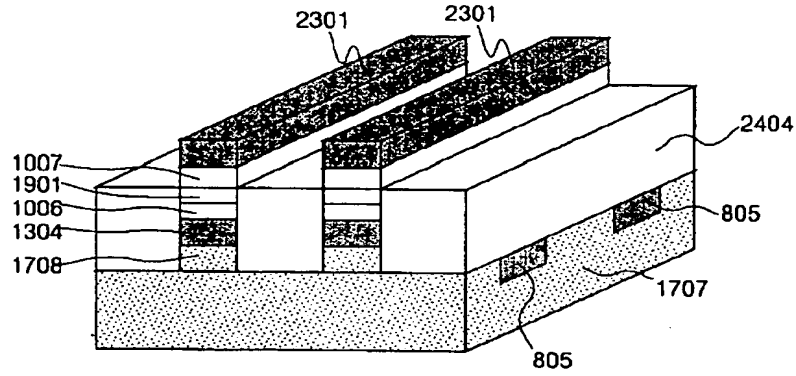
【図 35】

図 35



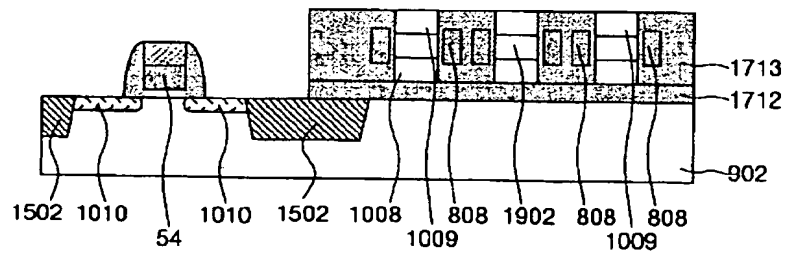
【図 36】

図 36



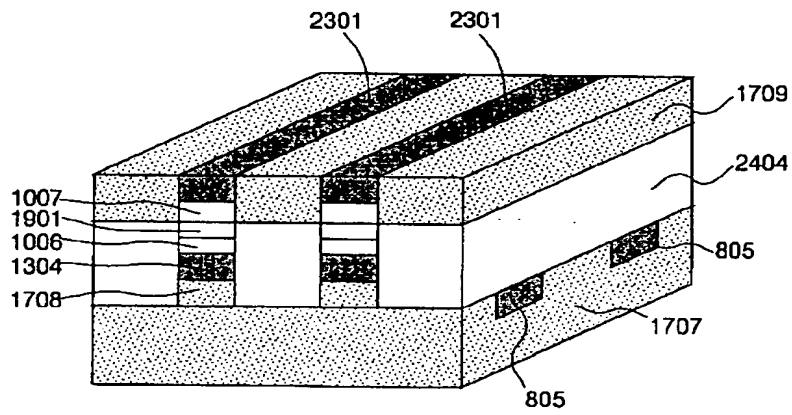
【図 50】

図 50



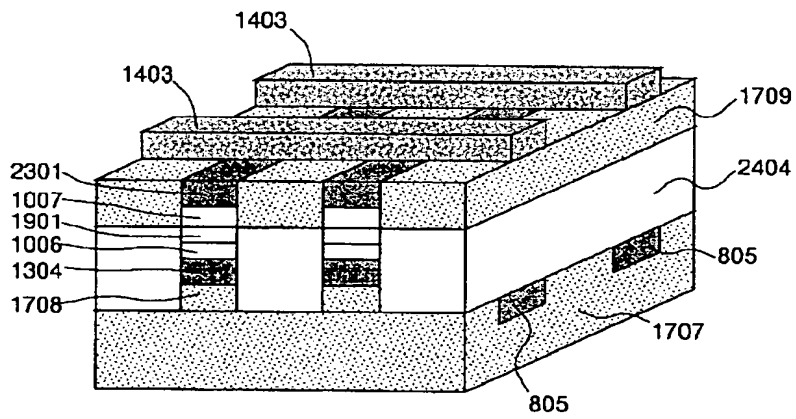
【図 37】

図 37



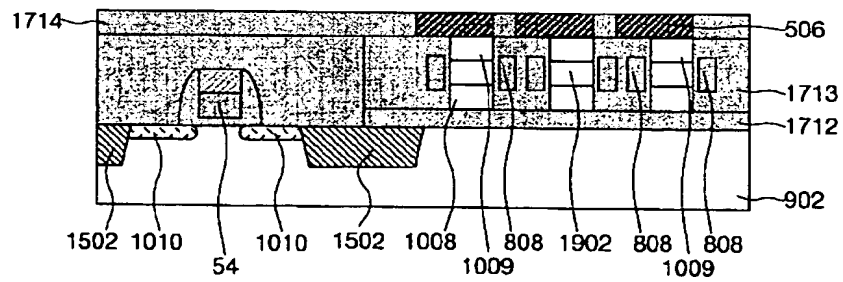
【図 38】

図 38



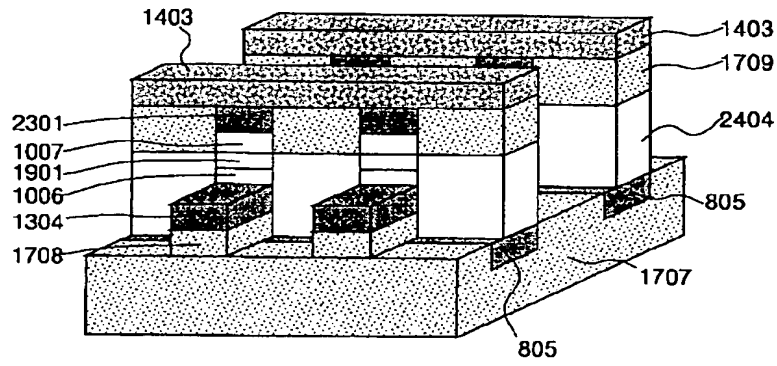
【図 51】

図 51



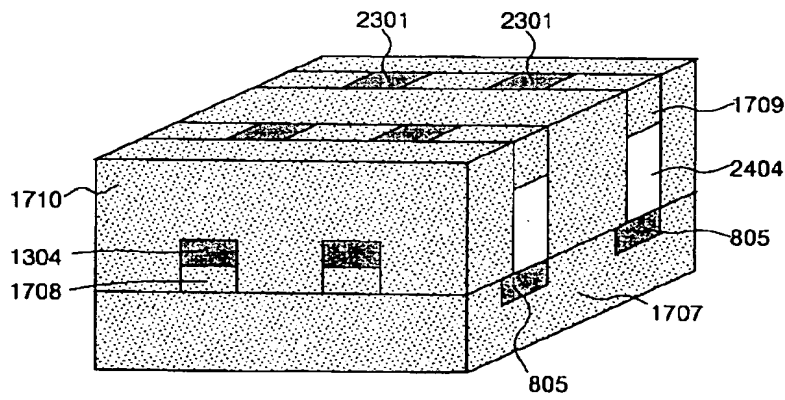
【図 39】

図 39



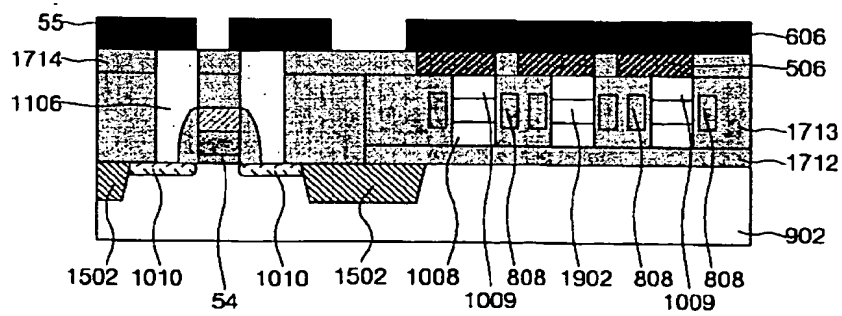
【図 40】

図 40



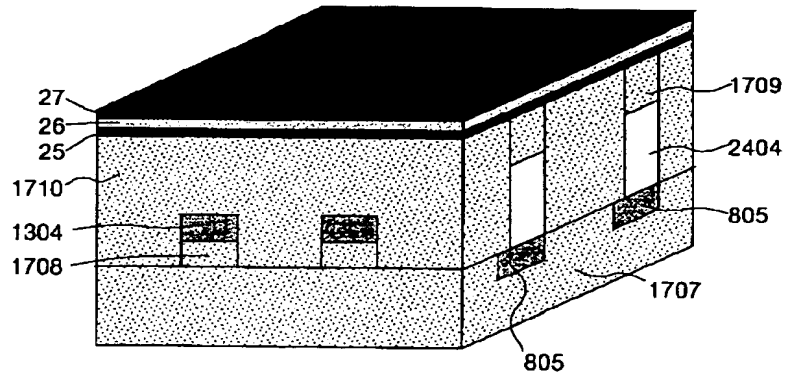
【図 52】

図 52



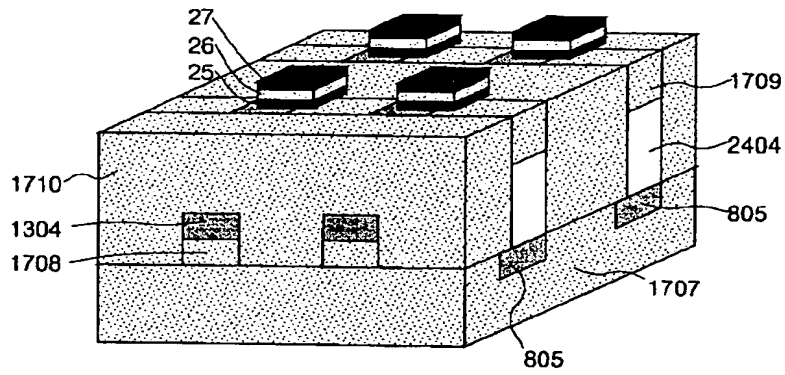
【図 4 1】

図 4 1



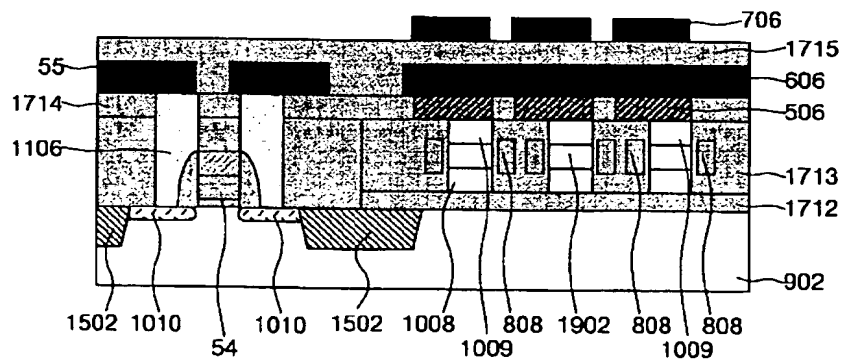
【図 4 2】

図 4 2



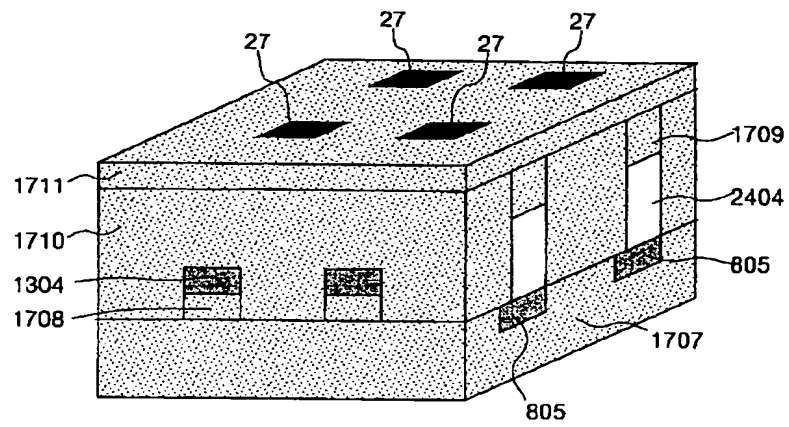
【図 5 3】

図 5 3



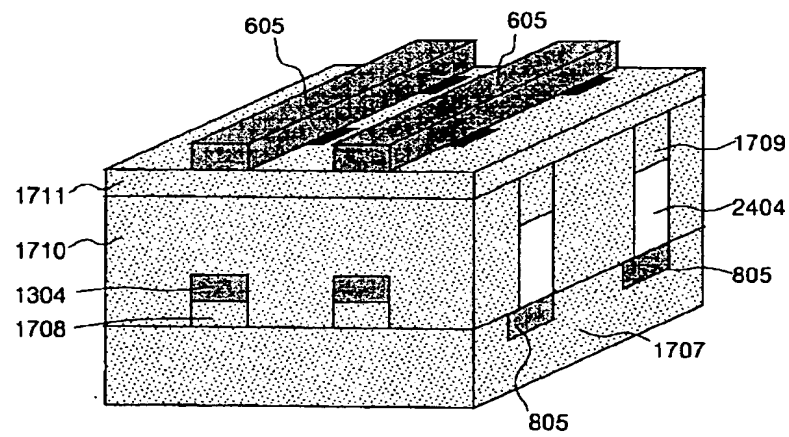
【図43】

図43



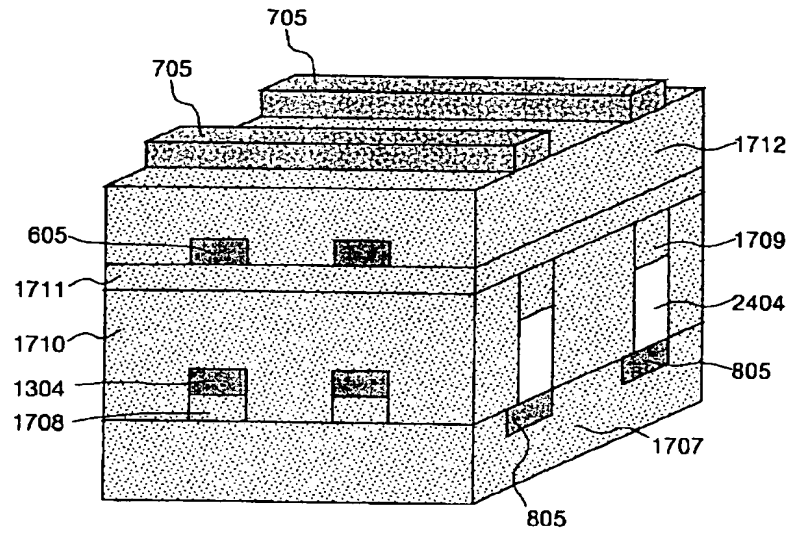
【図44】

図44



【図45】

図45



フロントページの続き

(72)発明者 渡辺 克朗
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 伊藤 清男
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

Fターム(参考) 5F083 AD24 AD48 AD49 FZ10 GA09
GA21 JA39 KA01 KA05 MA06
MA16 MA17 MA20 PR39 PR40